

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63053967 A**

(43) Date of publication of application: **08.03.88**

(51) Int. Cl.
H01L 27/12
H01L 29/78
H03G 3/10

(21) Application number: **61196951**

(22) Date of filing: **22.08.86**

(71) Applicant: **SONY CORP**

(72) Inventor: **SONEDA MITSUO**
HAYASHI HISAO

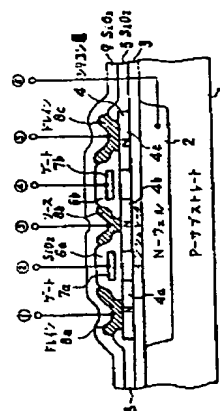
(54) **INTEGRATED CIRCUIT SEMICONDUCTOR
DEVICE**

(57) Abstract:

PURPOSE: To carry out favorable gain control where DC potential fluctuations are stationary and a dynamic range does not show a decrease by forming a well region on a SOI substrate and forming gate regions on the well through an insulation layer and controlling an electric field between the well region and the gate regions.

CONSTITUTION: A well 2 is formed on a substrate 1 and an insulator 3 is formed on the well 2 and then a MOS region including gates 7a@7b is formed on the insulator 3. Once a voltage between the well region 2 and gate regions 7a and 7b is controlled, a longitudinal electric field of each MOS transistor channel between the above well region and the gate regions varies and the mobility also varies to control gm of each MOS transistor. Thus a gain of output signals is controlled by controlling gm of each transistor.

COPYRIGHT: (C)1988,JPO&Japio



THIS PAGE BLANK (uspto)

Concise explanation of the relevance with respect to
Japanese Laid-Open Patent Application No. 53967/1988

A. Relevance to the Above-identified Document

The following is an English translation of passages related to the present invention.

B. Translation of the Relevant Passages of the Document

[MEANS TO SOLVE THE PROBLEM]

The present invention relates to an IC semiconductor device, comprising:

- a substrate (1);
 - a well (2) formed on the substrate (1);
 - an insulating film (3) formed over the well (2);
 - at least a gate domain (7a) formed on the insulating film (3),
- for controlling a gain by changing an electric field between the gate domain and well.

THIS PAGE BLANK (uspto)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-53967

⑪ Int.Cl.⁴

H 01 L 27/12
29/78
H 03 G 3/10

識別記号

311.

庁内整理番号

7514-5F
C-8422-5F
A-7827-5J
B-7827-5J

⑬ 公開 昭和63年(1988)3月8日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 IC半導体装置

⑮ 特 願 昭61-196951

⑯ 出 願 昭61(1986)8月22日

⑰ 発 明 者 曾 根 田 光 生 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 IC半導体装置

特許請求の範囲

基板上にウェルを形成し、
このウェル上に絶縁層を配し、
この絶縁層の上に少くともゲート領域を形成して成り、
上記ゲート領域と上記ウェル間の電界を変えることにより利得を制御するようにしたIC半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、いわゆるSOI(シリコン・オン・インシュレータ)を用いた利得制御アンプ等に適用されるIC半導体装置に関する。

〔発明の概要〕

本発明はIC半導体装置に関し、いわゆるSOIの基板上にウェルを形成し、このウェル上に絶縁層を介してゲート領域を設けることにより、このウェ

ルとゲート領域間の電界を制御して良好な利得制御が行えるようにするものである。

〔従来の技術〕

IC半導体装置、例えばMOS素子を用いた利得制御アンプは通常第3図に回路図で示すように構成される。図において、入力信号源01の両端がそれぞれ一対のMOSトランジスタ0203のゲートに接続され、このトランジスタ0203のソースが互いに接続されて接続点が可変定電流源04を通じて接地される。さらにトランジスタ03のドレインが電源端子05に接続され、トランジスタ02のドレインが抵抗器06を介して電源端子05に接続されると共に、トランジスタ03のドレインから出力端子07が導出される。

そしてこの回路において、可変定電流源04の電流値 I_c を制御することにより、トランジスタ0203の g_m が変化され、入力端子01に供給される入力信号 V_{i0} を利得制御した出力信号 V_{out} が出力端子07に取出される。

ところがこの回路では、利得制御のために電流値 I_0 を制御した場合に出力信号 V_{out} の直流電位も変動してしまう欠点がある。

これに対して第4図に示すように、上述の回路を2組並列に設け(トランジスタ40~49)、この電流源(トランジスタ40~49)を差動構成にして差動性で電流値の制御を行うことが提案された。これによれば直流電位の変動は発生しない。

しかしながらこの回路では、回路構成が複雑になると共に、電源接地間に接続されるトランジスタが1段増加するためにダイナミックレンジが減少する欠点を生じてしまう。

〔発明が解決しようとする問題点〕

以上述べたように従来の技術では、利得制御を行う場合に出力信号の直流電位が変動したり、ダイナミックレンジが減少してしまうなどの問題点があった。

〔問題点を解決するための手段〕

設けられる。

さらにこのインシュレータ(3)の上のウェル領域(2)に対向する部分にシリコン層(4)が設けられ、このシリコン層(4)の3箇所それぞれN型領域(4a)(4b)(4c)が形成される。またシリコン層(4)の設けられない部分には絶縁層となる SiO_2 (5)が設けられる。

このシリコン層(4)の上の、N型領域(4a)と(4b)、(4b)と(4c)の各間隙部にそれぞれ SiO_2 (6a)(6b)に埋込されたポリシリコン等からなるゲート領域(7a)(7b)が設けられる。またN型領域(4a)(4c)に接続されてアルミニウム等からなるドレイン電極(8a)(8c)が設けられ、N型領域(4a)に接続されて同じくソース電極(8b)が設けられる。さらにこの構成の全体の上に絶縁層となる SiO_2 (9)が設けられる。

従つてこの装置において、ソースが互いに接続された一対のMOSトランジスタが形成され、これを用いて以下に述べるように差動回路が構成される。

本発明は、基板(1)上にウェル(2)を形成し、このウェル上に絶縁層(3)を配し、この絶縁層の上に少くともゲート領域(7a)を形成して成り、上記ゲート領域と上記ウェル間の電界を変えることにより利得を制御するようにしたIC半導体装置である。

〔作用〕

これによれば、ゲート領域とウェル間の電界が変えられて各素子のモビリティが変化され、これによつて各 μ_m が変化されて利得制御が行われるので、直流電位の変動やダイナミックレンジの減少のない良好な回路装置を得ることができる。

〔実施例〕

第1図において、図はIC半導体装置の縦断面図を示す。この図において、(1)はシリコン基板上に設けられた例えばP型サブストレートであつて、このサブストレート(1)の所定部にN型ウェル領域(2)が形成される。このサブストレート(1)及びウェル領域(2)の上に絶縁層となるインシュレータ(3)が

すなわち第2図において、入力信号 V_{ia} の供給される端子40がコンデンサ42を介して一方のMOSトランジスタ43のゲート(領域(7a))に接続され、他方のMOSトランジスタ44のゲート(領域(7b))がバイアス電圧 V_b の電圧源45を通じて接地されると共に、両ゲート(領域(7a)(7b))間が抵抗器46を介して接続される。さらに共通のソース(電極(8b))が電流値 I_0 の定電流源47を通じて接地される。

またトランジスタ43のドレイン(電極(8a))が電圧 V_{DD} の電源端子48に接続され、トランジスタ44のドレイン(電極(8c))が抵抗値 R の負荷抵抗器49を通じて電源端子48に接続される。そしてトランジスタ44のドレイン(電極(8c))から出力端子41が導出される。

さらに上述のN型ウェル領域(2)から制御端子42が引出される。

従つてこの回路装置において、端子41及びN型ウェル領域(2)に与えられる電圧 V_c を制御すると、このウェル領域(2)と各ゲート領域(7a)(7b)との間の各MOSトランジスタのチャネルの経方向の電

界が変化され、モビリティが変化されて各MOSトランジスタ304の g_{m1} 、 g_{m2} が制御される。

そしてこの場合に出力信号 V_{out} は

$$V_{out} = V_{DD} - \frac{I_0}{2} \cdot R + V_{in} \frac{R}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}$$

で与えられ、各トランジスタの g_m が制御されることによつて出力信号の利得が制御される。なお利得は $V_c \approx V_b$ のとき最大となり、 V_c が V_b から離れるに従つて減少する。

こうして出力信号の利得が制御されるわけであるが、上述の装置によれば利得制御時に回路を流れる電流値 I_0 が変化されないで、出力信号の直流レベルが変動されることがない。また電源接地間のトランジスタが1段のみなので、簡単な構成で広いダイナミックレンジを確保できる。

なおP型・N型の構成は逆でもよい。

また上述の構成でN型ウェル領域に搬送信号あるいは変調信号を供給することにより、変調器あるいは掛算器等を構成することもできる。

〔発明の効果〕

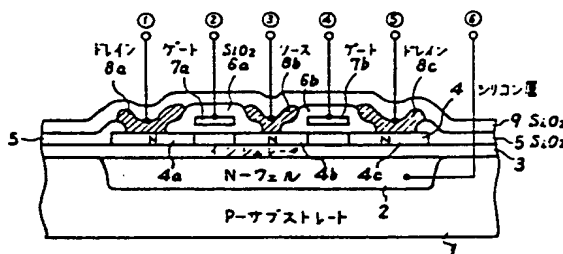
この発明によれば、ゲート領域とウェル間の電界が変えられて各素子のモビリティが変化され、これによつて各 g_m が変化されて利得制御が行われるので直流電位の変動やダイナミックレンジの減少のない良好な回路装置を得ることができるようになった。

図面の簡単な説明

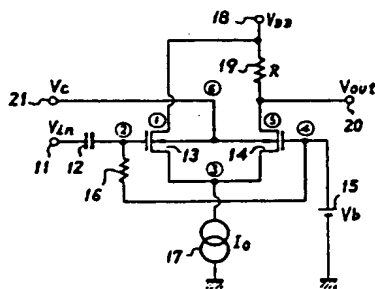
第1図は本発明の一例の構成図、第2図はその説明のための図、第3図、第4図は従来の技術の説明のための図である。

(1)はP型サブストレート、(2)はN型ウェル領域、(3)はインシュレータ、(4)はシリコン層、(5)(6a)(6b)(9)は SiO_2 、(7a)(7b)はゲート領域、(8a)(8c)はドレイン電極、(8b)はソース電極である。

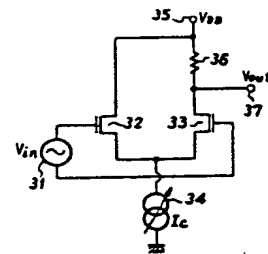
代理人 伊藤 貞
同 松 隈 秀 盛



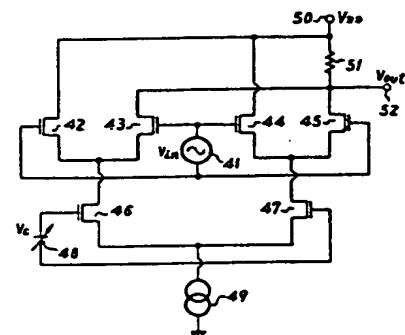
実施例の構成図
第1図



回路図
第2図



従来の技術の説明図
第3図



従来の技術の説明図
第4図

THIS PAGE BLANK (USPTO)

